



P R E S S R E L E A S E

SiP コンソーシアム

〒222-0033 横浜市港北区新横浜 3-9-5

新横浜第3東昇ビル7F

問い合わせ先 SiP コンソーシアム プロモーション部

Tel. (045)474-4313 Fax. (045)474-4314

E-Mail : kouhou@sip-c.com

高密度実装技術 Chip on Parts 技術の開発について ～受動部品と半導体素子による三次元実装を実現～

SiP コンソーシアム（事務局：神奈川県横浜市、理事長：藤津 隆夫）は、SiP 応用の幅を大きく広げる高密度実装技術 - Chip on Parts (CoP) 技術 - を開発いたしました。

従来の SiP では半導体素子のみを高密度に実装する技術が主流でしたが、真の高密度実装を実現するためにはその周辺に多数存在する受動部品の高度集積化が必要でした。CoP 技術ではプリント配線板上に実装された受動部品の上に半導体素子を積層することにより、受動部品の実装スペースを低減し、半導体素子の最短距離に配置する事が可能になり SiP の機能及び設計自由度の拡大を実現します。加えて、受動部品についてもその形状を最適化することにより SiP への適合性を高める技術を確認しています。（添付資料1）

なお、本技術の詳細につきましては、5月14日に行われます『第3回 SiP フォーラム』にて発表する予定です。

『第3回 SiP フォーラム』につきましては、<http://www.sip-c.com/forum/index.html> をご覧ください。

SiP コンソーシアムとは

SiP(System in Package / System Integrated Package)コンソーシアムは、次世代 SiP の効率的な開発を目的とし、半導体パッケージング工程を担う主要な材料・装置会社を中心にして活動しております。「SiP 技術のインフラ整備の為に啓蒙活動/セミナー/De facto 化推進」「SiP 技術開発 (SiP の部品・材料・装置技術開発)」に取り組んでいます。

役員紹介

（会長） 川西 剛（TEK コンサルティング代表）

（副会長）須賀 唯知（東京大学、東京大学大学院工学系研究科 教授）

（理事長）藤津 隆夫（J-SiP Wal ton 株式会社 代表取締役社長）

会員企業（2004年4月1日現在、五十音順）

イビデン株式会社、上野精機株式会社、J-SiP Wal ton 株式会社、株式会社新川、

新日本製鐵株式会社、住友ベークライト株式会社、田中電子工業株式会社、

株式会社ディスコ、凸版印刷株式会社、株式会社巴川製紙所、日立化成工業株式会社

リンテック株式会社

《本件についてのお問い合わせ先》

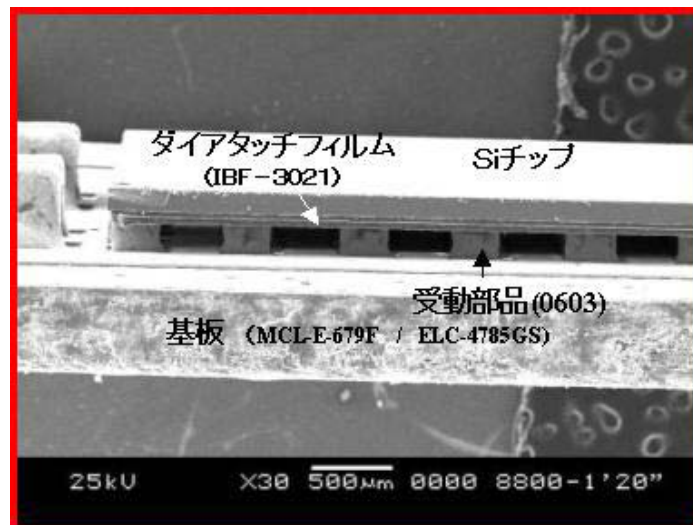
SiPコンソーシアム事務局

〒222-0033 横浜市港北区新横浜3-9-5 新横浜第3東昇ビル7F J-SiP Wal ton(株) 内

Tel (045)474-4313 Fax (045)474-4314 E-Mail : jimukyoku@sip-c.com

以上

【CoP技術の概要】



断面観察結果



【開発の背景と狙い】

ここ数年来の半導体パッケージに対する要求は、最終製品の高機能化、軽薄短小化といった製品自体が有する機能要求に加え、開発期間の短縮化・製品更新サイクルの短縮化という市場導入時期 (Time to Market) 要求から求められる、MCP 化及び SiP 化の要求が休息に拡大しています。ここで求められるパッケージング技術は、既存設備を生かした TAT (Turn Around Time) が短く、作業効率の高い実装技術です。

SiP コンソーシアムでは、この市場要求にこたえるべく、現在の半導体パッケージ周辺に多数存在する半導体素子とともに受動部品を半導体パッケージの中に三次元的に集積する技術の開発を行い、ここに CoP 技術を開発するに至りました。

この CoP 技術を用いる事によって、プリント配線板上の受動部品の配置面積を削減する事が可能になり、製品によっては実装面積を 50%以下に削減する事ができます。

以上